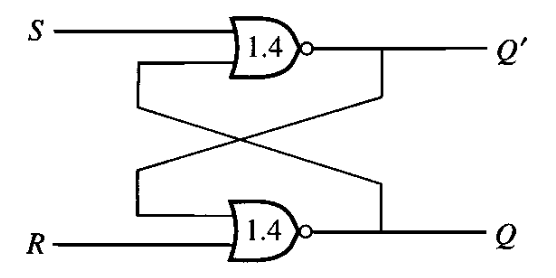
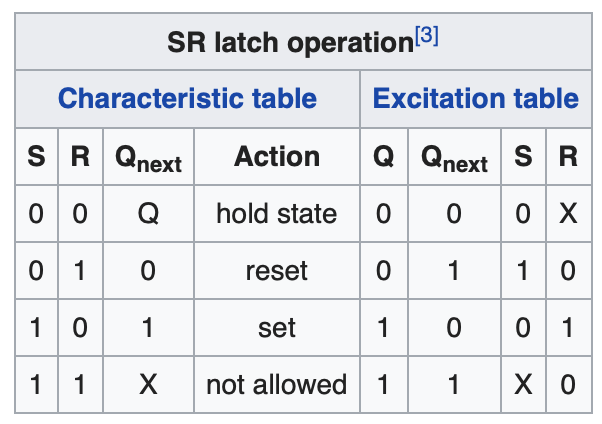
전공: 컴퓨터공학 학년: 2학년 학번: 20161603 이름: 신민준

1. SR 플립-플롭에 대해서 조사하시오.

SR latch는 가장 간단한 메모리 소자로, 두 개의 교차되어 연결된 NOR/NAND gate들로 간단하게 구성할 수 있다. NOR로 구성한 경우의 회로도와 진리표는 다음과 같다.

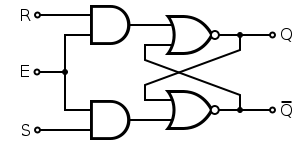
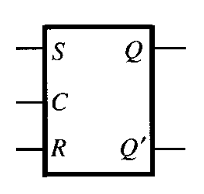




진리표로부터, SR latch는 3가지의 정상적인 action과 1가지의 illegal input이 있음을 볼 수 있다. 두 입력, S, R은 각각 set signal, reset signal 이라 부르고, 이 latch의 두 가지 state는 set state인 , 그리고 reset state 이다.

S=1, R=0 일 때, Q=1의 state로 flip-flip 내의 정보가 바뀌며, 그 반대로 S=0, R=1인 경우, Q=0의 state로 데이터가 변하게 된다. 만약 S=0, R=0의 입력이 들어오면, flip-flop 안의 정보는 변함없이 그 전 상태를 유지한다. 만일 입력이 S=1 이고, 그와 동시에 R=1인 경우, 이 회로에서는 두 gate간의 경쟁 상태가 일어나고, 둘 중 더 빠른 gate가 무엇인가에 따라 결과 값이 달라지는 metastable 상태에 무한히 빠진다. 어떤 값이 들어갈 지 예측할 수 없이 때문에, 이러한 입력은 illegal 한 것으로 간주한다.

기본적으로 SR latch는 transparent하도록 디자인 되어있다. 즉, input에 대한 결과가 그 즉시 output에 반영된다. 추가적인 회로 디자인을 더하면, enable input에 따라 이러한 transparent한 latch들을 더 이상 투명하지 않게(opaque)하게 바꿀 수 있는데, 다음은 이를 구현한 Gated SR latch의 예시이다.

위와 같은 회로 디자인의 Gated SR latch의 시간 차트를 보이면 다음과 같이 나오는데, clock의 값이 high일 때에만 SR latch의 입력이 반영되는 것을 확인할 수 있다.

쇼지, 낱말맞추기게임이(가) 표시된 사진

자동 생성된 설명

위에서 보인 SR latch를 다음 회로도와 같이 두 개 연결한다면, trailing edge에서 trigger되는 SR flip flop을 구현할 수 있다.

시계, 개체, 하늘, 벽이(가) 표시된 사진

자동 생성된 설명

Gated SR latch는, 비록 clock의 값이 high여야 입력을 받긴 하지만, clock 값이 high인 동안에는 입력 값에 생기는 모든 fluctuation이 반영되는 asynchronous한 특성을 지니고 있다. 반면, 2개의 gated SR latch를 사용해 구현한 위 SR flip-flop은 clock 값이 low에서 high, 또는 high에서 low로 바뀔 때 그 순간의 입력 값이 반영되는 edge-triggered 특징이 있는 synchronous한 디지털 회로이다.

1. JK 플립-플롭에 대해서 조사하시오.

JK flip-flop은 SR flip-flop의 특성을 확장시켜, 기존의 SR flip-flop에서는 illegal input으로 간주한 J=K=1의 입력을 “flip” 또는 “toggle” 명령으로 받아들인다. 즉, 다음과 같은 command들을 가진 진리표로 나타내어진다.

스크린샷이(가) 표시된 사진

자동 생성된 설명

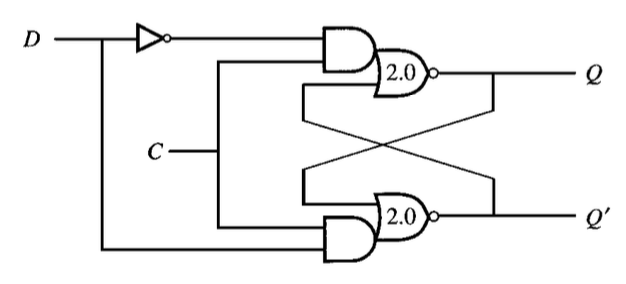
위 진리표에서 나타내는 값을 식으로 표현하면 다음과 같다.

JK flip-flop은 SR flip-flop의 특성을 그대로 유지하면서, 다른 flip-flop을 구성하는데 쉽게 사용될 수 있다. 예를 들어, D flip-flop을 만들기 위해선 K의 입력값을 J’로 설정해놓으면 되며, T flip-flop을 구현할 때에는 K의 값과 J의 값을 동일하게 입력해주면 된다. 따라서, JK flip-flop은 SR/D/T flip-flop으로 간단하게 수정이 가능하기 때문에, universal flip-flop이라고 불린다.

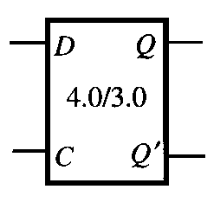
1. D 플립-플롭에 대해서 조사하시오.

D flip-flop은 “data” 또는 “delay” flip-flop이라고도 불리며, 입력 받은 D 입력 값을 받아 출력인 Q의 값을 해당 값으로 바꾼다. D flip-flop은 메모리 셀, 또는 delay line으로 볼 수도 있다.

D flip-flop은 두 개의 Gated D latch로 구성된다. 이 때 사용되는 Gated D latch의 회로도는 다음과 같다.



Gated D latch의 특징은 기존 SR latch에서 S와 R에 해당하는 비트가 절대 같은 값을 가지지 않는다는 점이 있다. Gated D latch는 다음과 같이 D, C를 입력으로 하고 Q, Q’를 출력으로 하는 다이어그램으로 간단하게 표현할 수 있다.



D flip flop은 이와 같은 D latch를 두 개 연결하고, 서로 반대되는 clock값을 주어 다음과 같은 회로로 구현한다.

시계이(가) 표시된 사진

자동 생성된 설명

이 때, Master에 해당하는 첫 번째 latch와 Slave에 해당하는 두 번째 latch는 절대 동시에 함께 활성화되지 않으므로, 위와 같은 형태의 D flip-flop은 leading edge에서 입력을 받아 결과값을 도출한다. 위와 같은 D flip-flop은 다음의 그림과 같이 간단하게 표현할 수 있다.

개체, 시계이(가) 표시된 사진

자동 생성된 설명

1. T 플립-플롭에 대해서 조사하시오.

T flip-flop은 입력 값 T가 high일 경우, 현재의 state가 0에서 1로, 또는 1에서 0으로 “toggle”되는 flip-flop이다. T가 low인 경우에는 이전 state를 그대로 유지한다. 이를 식으로 표현하면 다음과 같다.

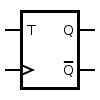
위 식을 기반으로 해당하는 operation들과 함께 표시하면 다음과 같은 표로 나타낼 수 있다.

스크린샷이(가) 표시된 사진

자동 생성된 설명

T flip flop은 JK flip-flop의 입력 J, K를 같은 line으로 묶어 T로 사용함으로써 구현할 수 있다. 또는, D flip-flop에서 가 되도록 회로를 구성해주면 T flip-flop과 동일하게 사용이 가능하다.

T flip-flop은 다음과 같은 다이어그램으로 표현된다(leading edge triggered의 경우).



1. Latch의 기능에 대해서 조사하시오.

Latch는 두 가지의 안정적인 state를 갖는 정보를 보관하고, 해당 정보를 유지하는 회로이다. 이 회로는 하나 이상의 입력을 받아 회로의 state를 조작할 수 있고, 이 결과는 하나 또는 두 개의 출력으로 반영된다. Latch는 컴퓨터 안이나, 통신, 그리고 기타 다른 종류의 시스템에서 사용되는 디지털 회로 시스템의 근본적인 구조 단위이다.

Latch들은 1개의 bit에 해당하는 정보, 데이터를 보관하는 용도로 쓰이는데, 이 때 두 state 중 하나는 “one”을 의미하고, 다른 하나는 “zero”를 의미한다. Latch가 유한 상태 기계(finite-state machine)에서 사용될 때, 출력과 다음 state는 input 뿐 아니라, 현재 회로의 state에 의해서도 결정될 수 있다.

1. Clock의 기능에 대해서 조사하시오.

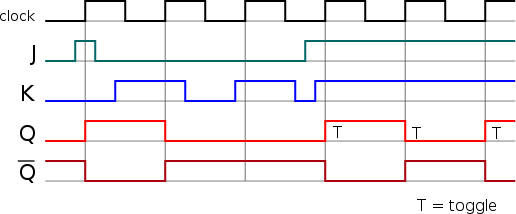
Clock은 synchronous digital circuit 분야에서 사용되는 특정한 신호이다. 이 신호는 high상태와 low 상태를 번갈아가며 가지면서, 전체 디지털 회로에서의 작동을 지시하는 메트로놈과 같은 역할을 한다.

대부분의 적당히 복잡한 IC들에서는 clock 신호를 사용해 회로의 서로 다른 부분들이 같이 동기화될 수 있게 한다. 특정한 경우에는, 어떤 작동을 위해 하나 이상의 clock cycle이 필요할 수도 있다. Clock 신호는 게이트를 사용해 회로의 특정 부분에서의 신호를 비활성화/활성화할 수도 있다. 이런 구조를 가지는 경우, 사용되고 있지 않는 부분을 비활성화하므로 전체적으로 사용되는 전력의 양을 효과적으로 줄일 수 있기에 주로 사용된다.

1. Edge-Trigger의 특성에 대해 조사하시오.

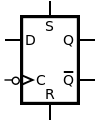
Flip-flop들은 level-triggered(비동기적) 되도록 설계되거나, edge-triggered(동기적/clocked) 하게 작동하도록 설계될 수 있는데, 대부분의 경우 flip-flop은 edge-triggered 한 구조를 사용한다(이 때, level-triggered 한 방식은 gated latch로 특정해 부르기도 한다).

예를 들어, flip-flop의 경우, 해당 회로가 활성화 되어있지 않으면 보관하고 있는 데이터가 바뀌지도, 또한 출력 Q와 Q’이 변하지도 않는다. 이 때 Edge-trigger 방식은 이 회로가 clock 신호의 ‘negative/trailing/falling edge’나 ‘positive/leading/rising edge’에서 활성화되는 방식이다.



따라서, 만약 어떤 flip-flop이 leading edge triggered한 경우에는, 위의 이미지에서 볼 수 있듯, clock의 신호가 low에서 high로 바뀌는 바로 그 시점의 input만을 받고, 이를 처리한다. 반대로, trailing edge trigger 플립 플롭의 경우에는 clock 신호가 high에서 low로 떨어질 시점의 input을 받는다.

Trailing edge triggered 플립플롭의 경우에는 다이어그램으로 표기할 때 control signal에 붙는 삼각형에 추가적으로 동그라미를 붙여 다음과 같이 표기한다.



1. Master-Slave 개념에 대해 조사하시오.

Master-slave 개념은 위의 3.번에서 D flip-flop을 구현할 때 처럼, 두 개의 latch를 직렬하게 연결한 후, 둘 중 하나의 enable 입력에 inverter를 추가하는 방식이다. Master-slave라는 용어는 연결된 latch들 중 두 번째 latch가 첫 번째 latch(master)의 변화에 대해서만 상태가 변한다는 사실에서 기인한다.

이러한 master-slave 개념이 사용되는 대표적인 예에는 JK flip-flop이 있다. JK latch는 SR latch에서 J=K=1 입력에 대한 처리를 추가해 확장시킨 회로이지만, 출력 Q의 처리가 clock signal의 high->low 변화보다 더 빨리 일어날 때 발생되는 race condition의 문제를 여전히 지니고 있다. Master-slave 구조를 사용해 flip-flop을 구성하면, 첫 번째 master latch의 계산이 끝나야 다음 latch(slave)의 계산이 시작하기 때문에 위 문제를 효과적으로 해결할 수 있다.

1. 기타 이론

* T flip-flop은 입력 받는 T가 high로 고정되면, clock 주파수 값을 절반으로 줄인 output이 발생한다는 특징이 있다. 다시 말해, clock의 주파수가 4MHz라면, T가 high로 고정된 T flip-flop의 출력 Q의 주파수는 2MHz가 된다. 이러한 “divide by” 기능은 다양한 종류의 디지털 카운터들에 사용되기도 한다.
* Latch는 asynchronous한 시스템이기 때문에, 활성화 되어있는 동안에는 출력에 입력 값이 즉시(혹은 약간의 회로 지연시간 이후) 반영된다. 그러나, flip-flop은 edge-triggered 특성이 있어 clock 신호가 high에서 low로, 또는 그 반대로 바뀔 때에만 state가 변화한다는 특징이 있다. 다만, 위와 같은 구분법은 비교적 최근에 생긴 것이고, 많은 권위자들은 여전히 flip-flop과 latch 용어를 섞어서 언급한다.